



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

PCT/EP04/50474

REC'D 22 APR 2004

WIPO

PCT

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

03101096.0 ✓

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk

BEST AVAILABLE COPY



Anmeldung Nr:

Application no.: 03101096.0 ✓

Demande no:

Anmeldetag:

Date of filing: 22.04.03 ✓

Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

Koninklijke Philips Electronics N.V.
Groenewoudseweg 1
5621 BA Eindhoven
PAYS-BAS

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:

(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.

If no title is shown please refer to the description.

Si aucun titre n'est indiqué se référer à la description.)

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s)
revendiquée(s)

Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

H01L29/00

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL
PT RO SE SI SK TR LI

Halfgeleiderinrichting en werkwijze voor het bedienen van een dergelijke inrichting

De uitvinding heeft betrekking op een halfgeleiderinrichting omvattende een halfgeleiderlichaam dat aan een oppervlak is voorzien van een veldeffecttransistor, waarbij het halfgeleiderlichaam hooggedoteerde aan- en afvoerzones bevat en een kanaalgebied dat zich tussen de afvoer- en de aanvoerzone uitstrekt, waarbij een poortelektrode aanwezig is, die bij loodrechte projectie op het kanaalgebied daarmee overlapt, waarbij de aanvoerzone, de afvoerzone en de poortelektrode aan het oppervlak verbonden zijn met resp. met een metalen aanvoercontact, een afvoercontact, en een poortelektrodecontact en waarbij een verdere metalen strip aanwezig is tussen het poortelektrodecontact en het afvoercontact, die elektrisch geïsoleerd is van het halfgeleiderlichaam en door middel van een elektrische verbinding plaatselijk met de aanvoerstrip is verbonden en die een afscherming tussen het poortelektrodecontact en het afvoercontact vormt. Een dergelijke inrichting kan met voordeel zijn toegepast als een (hoog) vermogensversterker in het bijzonder voor een zender in het hoogfrequente gebied van draadloze communicatie. Door de afscherming tussen het poortelektrodecontact en het afvoercontact wordt de capaciteit tussen de afvoer en de poortelektrode aanzienlijk verlaagd wat tot een aanzienlijke verhoging van de vermogensversterking bij hogere frequenties leidt.

Een dergelijke inrichting, die zowel in discrete vorm als in geïntegreerde vorm kan voorkomen, is bekend uit het Amerikaanse octrooischrift US 6,069,386 dat op 30 mei 2000 is gepubliceerd. De bekende uitrichting bevat een transistor van het laterale metaal-oxide-semiconductor (LDMOS) type. De transistor is gevormd in een zwak gedoopte p-type epi-laag op een sterk gedoopt p-type substraat. Het kanaal is gedefinieerd in een p-type zone die zelfregistrerend ten opzichte van de polysilicium poortelektrode in de epi-laag is geïmplanteerd. De aan- en afvoerzones kunnen een interdigitale structuur hebben waarbij het aantal vingers gekozen wordt bijvoorbeeld in verband met de maximaal te verwerken elektrische stroom. De aanwezige drain extensie dient, zoals algemeen bekend, om de doorslagspanning tussen source en drain te verhogen. Doordat het metalen aanvoercontact niet boven maar naast de poortelektrode is aangebracht, kan de poortelektrode over zijn

gehele lengte voorzien worden van een metalen aansluiting waardoor de poortweerstand bepaald wordt door de laagweerstand van het metaal en daardoor, bij gebruik van een goed geleidend metaal, zeer laag kan worden gehouden. Daarbij hebben de contacten de vorm van naast elkaar gelegen, evenwijdige metaalstrips. Doordat de verdere metaalstrip en het metaalcontact van de poortelektrode in dezelfde metaallaag kunnen worden vervaardigd als de source/drain contacten, zijn relatief weinig processtappen nodig voor de vervaardiging ervan.

Een bezwaar van de bekende inrichting is dat deze een niet lineaire karakteristiek bezit, in het bijzonder bij zeer hoge frequentie. Hierdoor is het maximaal bruikbare vermogen beperkt.

Het doel van de onderhavige uitvinding is dan ook een inrichting te verschaffen van de in de aanhef genoemde soort die bijzonder lineair is, ook bij hoge frequentie en die een hoog vermogen kan leveren.

Een halfgeleiderinrichting van de in de aanhef beschreven soort is volgens de uitvinding daardoor gekenmerkt dat in de elektrische verbinding tussen de verdere metalen strip en het aanvoercontact een condensator is opgenomen en de verdere metalen strip voorzien is van een aansluitcontact voor het aanleggen van een externe spanning op de verdere metalen strip. De uitvinding berust allereerst op het inzicht dat door in de verbinding van de verdere metalen strip en het aanvoergebied een condensator op te nemen, het mogelijk wordt om een spanning aan de verdere metalen strip aan te leggen die anders is dan de spanning van het aanvoergebied. Voor het aanleggen van een dergelijke spanning aan de verdere metalen strip is deze volgens de uitvinding voorzien van een aansluitcontact. De uitvinding berust verder op het inzicht dat door het aanleggen van een dergelijke spanning aan de verdere metalen strip, de lineariteit van de inrichting belangrijk verbeterd kan worden. Daarbij berust de uitvinding op het inzicht dat de inrichting volgens de uitvinding beschouwd kan worden twee veldeffect transistoren te bevatten, namelijk een eerste transistor van het verrijkingstype en horend bij de poortelektrode en een tweede transistor, waarvan de verdere metalen strip als het ware de poortelektrode vormt en die van het verarmingstype is. Omdat eerstgenoemde transistor in de inrichting volgens de uitvinding in de zogenaamde gemeenschappelijke aanvoer configuratie werkt en laatstgenoemde in de zogenaamde gemeenschappelijke poort configuratie, opereren beide transistoren in een cascode (= serie geschakelde) configuratie en bezitten een tegengestelde fase distorsie die fase uitdoving

mogelijk maakt en daarmee een lagere vervorming. Dankzij het verder aansluitcontact is het mogelijk, door het aanleggen van een externe spanning, het vermogen in te stellen waarbij genoemde uitdoving optreedt. Hierdoor is optimalisatie van de lineariteit mogelijk afhankelijk van de gekozen toepassing van de inrichting.

5 De condensator kan extern op de inrichting aangesloten zijn. Een gerede inrichting is normaliter voorzien van een isolerende kunststof omhulling waaruit een aantal, van vier voor een gunstige uitvoeringsvorm van een inrichting volgens de uitvinding, aansluitpennen steken. De condensator kan bijvoorbeeld aan de omhulde inrichting gehecht worden en met de aansluitpennen voor het aanvoergebied en voor de verdere metalen strip
10 verbonden zijn.

In een gunstige uitvoeringsvorm is de condensator geïntegreerd in het halfgeleiderlichaam en bevindt zich binnen het actieve gebied naast de transistor. Een dergelijke inrichting is gemakkelijk en goedkoop te vervaardigen. Bij voorkeur zijn het aanvoercontact, het afvoercontact, het poortelektrodecontact, de verdere metalen strip en het
15 aansluitcontact daarvan en een elektrode van de condensator uit twee afzonderlijke, boven elkaar liggende en door een verdere isolerende laag van elkaar gescheiden metaallagen gevormd.

Een dergelijke twee metaal lagen proces staat toe dat de verdere metaal strip op meerdere plaatsen met de (ene) elektrode van de condensator verbonden wordt, waarbij
20 die verbindingen het poortelektrode contact kruisen. Een groot aantal van dergelijke verbindingen is gunstig om de impedantie voor de werkfrequentie tussen de verdere metaalstrip en de elektrode van de condensator te verlagen. Een verder belangrijk aspect van een dergelijk twee metaallaags proces is dat twee naburige poortelektrode vingers via de bovenste van de twee metaallagen met elkaar verbonden kunnen zijn. Middels een geleidende
25 via kan elke vinger verbonden zijn met een geleiderspoor in de bovenste metaallaag. Tussen twee naburige poortelektroden ligt dan – in de bovenste metaallaag – een geleidende vinger waarmee de naar een via leidende geleidersporen van de twee naburige poortelektroden verbonden zijn. De geleidende vinger is met het aansluitgebied voor de poortelektrode verbonden. Daarbij kruist de geleidende vinger het daaronder liggende aanvoercontact dat ter
30 plaatse van die kruising onderbroken is ter beperking van de capaciteit. Bij voorkeur zijn twee naburige poortelektroden op meerdere plaatsen op deze manier met de geleidende vinger verbonden. Ter plaatse van die verbinding is elke poortelektrode om technologische redenen bij voorkeur verbreed. Een dergelijke aansluiting van de poortelektrode op het poortelektrode aansluitgebied heeft tot voordeel dat de aansluitweerstand van de

poortelektrode laag kan zijn, terwijl de breedte daarvan toch relatief gering kan zijn. Ter verlaging van genoemde weerstand is ook het polykristallijne silicium van de poortelektrode bij voorkeur gedeeltelijk omgezet in een silicide, zoals een titaansilicide.

In een verdere variant is de andere elektrode van de condensator gevormd door
5 het halfgeleiderlichaam dat een hooggedoteerd substraat omvat waarop zich een lager gedoteerde epitaxiale laag bevindt. Het substraat is verbonden met een metaallaag die tevens een aansluiting vormt voor het aanvoergebied.

In een gunstige variant maken beide elektroden van de condensator deel uit van de metaallagen en is de onderste elektrode daarvan elektrisch verbonden met het
10 halfgeleiderlichaam dat op die plaats een hooggedoteerd gebied bevat. Op deze wijze is een zeer goede spanningsonafhankelijkheid van de condensator te realiseren hetgeen een voordeel is. Als diëlektricum van de condensator kan in dit geval siliciumnitride gebruikt worden. Een ander voordeel van een dergelijke condensator is dat een hogere capaciteit per oppervlakte eenheid mogelijk is waardoor het oppervlakte beslag van een condensator met
15 gegeven capaciteit geringer kan zijn. Het hooggedoteerde gebied omvat bijvoorbeeld het substraat en een plaatselijk door middel van een lokale diffusie van een hogere dotering voorzien deel van een op het substraat aanwezige (lager gedoteerde) epitaxiale laag.

De grootte van de condensator hangt mede af van de gewenste frequentie. Bij voorkeur ligt deze tussen 10 pF en 1 nF bij een bedrijfsfrequentie liggend tussen 100 MHz en
20 3 GHz. Omdat een inrichting volgens de uitvinding bij hogere vermogens bruikbaar is dan de bekende inrichting, is een inrichting volgens de uitvinding bij voorkeur voorzien van een heatsink die bij voorkeur koper en/of wolfram-koper delen bevat.

De uitvinding kan met voordeel worden toegepast in transistoren (n-kanaal of p-kanaal) waarin het kanaal wordt gevormd door een oppervlaktegebied van het
25 halfgeleiderlichaam en waarin het kanaal van de poortelektrode afgescheiden is met een elektrisch isolerende laag. Een voorkeursuitvoering van een inrichting volgens de uitvinding is daardoor gekenmerkt dat de transistor van het laterale DMOS type is, waarin D staat voor "double diffused". De uitvinding is echter eveneens geschikt voor toepassing in andere transistoren, zoals MESFETs en in het bijzonder HEMTs die gebaseerd zijn op een
30 halfgeleiderlichaam van een III-V materiaal, zoals GaAs of GaN. Het is voorts gunstig dat aan de van het oppervlak afgekeerde zijde van het halfgeleiderlichaam een heatsink aanwezig is.

De afstand van de verdere metalen strip tot het poortelektrodecontact is bij voorkeur zo klein mogelijk gekozen. Dit biedt de mogelijkheid om via de op de strip

aanwezige spanning ook andere eigenschappen van de transistor te beïnvloeden. Bij voorkeur gebeurt dit op een onafhankelijke wijze waarbij zich tussen de verdere metalen strip en de poortelektrode een andere – eveneens van het halfgeleiderlichaam geïsoleerde - metalen strip bevindt die bijvoorbeeld aangesloten is zoals in de bekende inrichting. Ook kan de andere metalen strip aangesloten zijn zoals de verdere metalen strip in de inrichting volgens de uitvinding. De overige transistor eigenschappen kunnen dan beïnvloed worden door het aanleggen van een andere externe spanning op de andere metalen strip, onafhankelijk van de op de verdere metalen strip aangelegde spanning.

De uitvinding omvat verder een werkwijze voor het bedrijven van een inrichting volgens de uitvinding, waarbij tijdens bedrijf van de inrichting aan het aansluitcontact van de verdere metalen strip een spanning wordt aangelegd. De aangelegde spanning kan dynamisch geregeld worden, dat wil zeggen dat er een andere spanning aangelegd wordt in het hoge vermogens gebied dan in het lagere vermogens gebied. Ook kan met voordeel een geleidelijk veranderende, van het vermogen afhankelijke, spanning worden aangelegd. In deze variant wordt bij voorkeur gebruik gemaakt van een condensator die volledig in de beide metaallagen gevormd is. Deze kan gemakkelijker verbonden worden met een, in de inrichting geïntegreerd, circuit waarmee een bepaalde spanningsfunctie opgelegd kan worden.

Deze en andere aspecten van de uitvinding worden nader toegelicht aan de hand van een uitvoeringsvoorbeeld. In de tekening toont:

Fig. 1 een bovenaanzicht van een halfgeleiderinrichting volgens de uitvinding;

Fig. 2 een bovenaanzicht van een uitvergroot in Fig. 1 met II aangeduid deel

van de inrichting van Fig. 1;

Fig. 3 een doorsnede van deze inrichting langs de lijn III-III;

Fig. 4 een doorsnede van deze inrichting langs de lijn IV-IV;

Fig. 5 een doorsnede van een variant van deze inrichting langs de lijn III-III;

Fig. 6 de amplitude en fase lineariteit van de inrichting van Fig. 1 illustrerende

grootheden als functie van het ingangsvermogen;

Fig. 7 een distorsie factor en de versterking van de inrichting van Fig. 1 als functie van het gemiddelde vermogen;

Fig. 8 twee distorsie factoren en de efficiency van de inrichting als functie van het gemiddelde vermogen.

Opgemerkt wordt dat de tekening slechts schematisch is en niet op schaal.

Verder wordt opgemerkt dat in Fig.1 en Fig. 2 in hoofdzaak het metallisatie patroon is weergegeven. Delen die op een lager niveau liggen zijn om wille van de duidelijkheid niet in Fig.1 en Fig. 2 maar alleen in de doorsneden in Fig. 3, Fig. 4 en Fig. 5 aangegeven. Voor wat betreft het centrale deel van Fig. 1 geeft een detail weergave zoals die van Fig. 2 een beter inzicht in de als vingers in elkaar stekende structuur van de transistor.

De inrichting (zie Fig. 1 t/m 4) bevat een halfgeleiderlichaam 1 dat in dit voorbeeld van silicium is maar dat uiteraard ook van een ander, op zichzelf geschikt, halfgeleidermateriaal kan zijn. Het is voorzien van een isolerende laag 76 van siliciumdioxide. Het halfgeleiderlichaam is opgebouwd uit een laagohmig, hooggedoteerd p-type substraat 2 en een aan het oppervlak van het siliciumlichaam grenzende relatief zwak gedoteerd, hoogohmig gebied 3 waarin de transistor is ondergebracht. In dit voorbeeld wordt het gebied 3 gevormd door een p-type epitaxiale laag met een dikte van ongeveer 7 μm en een doteringsconcentratie van ongeveer $5 \cdot 10^{15}$ atomen per cm^3 . De dotering van het substraat 2 dat als aansluiting voor de aanvoerzone fungeert is hoog, bijvoorbeeld tussen 10^{19} en 10^{20} atomen per cm^3 . In de epitaxiale laag is een actief gebied 6 gedefinieerd dat lateraal begrensd wordt door dik veldoxide 7. In het actieve gebied zijn aan- en afvoerzones van de transistor aangebracht in de vorm van hooggedoteerde n-type oppervlaktezones 4 resp. 5. De transistor bevat een multi-vinger structuur met een aantal naast elkaar gelegen source/drain vingers die in de tekening slechts schematisch (Fig. 1) of voor een deel (Fig. 2) weergegeven. De multi-vinger structuur kan eenvoudig verkregen worden bijvoorbeeld door het in Fig. 3 getekende gedeelte links en rechts uit te breiden totdat de gewenste kanaalbreedte is verkregen. Ter verhoging van de doorslagspanning is de afvoerzone 5 voorzien van een hoogohmige n-type afvoerextensie 8 tussen de afvoerzone 5 en het kanaal van de transistor. De lengte van de extensie bedraagt in dit voorbeeld 3,5 μm . Het kanaal van de transistor wordt gevormd door het p-type gebied 13 tussen de extensie 8 en de aanvoerzone 4. Boven het kanaal is een poortelektrode 9 aangebracht die door een poortoxide 10 met een dikte van bijvoorbeeld 70 nm van het kanaal is gescheiden. De poortelektrode 9 wordt gevormd door stroken van hooggedoteerd, ongeveer 0.3 μm dik, polykristallijn silicium (poly) met daarop ongeveer 0.2 μm titaansilicide, die zich, op het oppervlak gezien, dwars over het actieve gebied 6 tussen de aanvoerzones 4 en de afvoerextensies 8 uitstrekken. De aanvoerzone of zones 4 zijn met het p-type gebied kortgesloten via een diepe, hooggedoteerde p-type zone 11 die vanaf het

oppervlak tot het hooggedoteerde substraat reikt en via het substraat 2 de aanvoerzone 4 verbindt met de aanvoerelektrode 12 aan de onderkant van het substraat. Om de transistor bij een voldoende hoge spanning te kunnen bedienen, is de transistor uitgevoerd als LDMOST ten behoeve waarvan in het kanaal door middel van de gediffundeerde p-type zone 13 een extra p-type dotering is aangebracht waardoor plaatselijk de doteringsconcentratie wordt verhoogd ten opzichte van de lage epi dotering.

Het oppervlak is bedekt met een dikke glaslaag waarin boven de aan- en afvoerzones contactvensters zijn aangebracht via welke de aan- en afvoerzones zijn verbonden met metalen aan- resp. afvoerelektrodes 15 en 16. Zoals in het bovenaanzicht in Fig. 2 kan worden gezien, worden de contacten 15 en 16 gevormd door metaalstroken die zich evenwijdig aan elkaar over de glaslaag uitstrekken. Het aanvoercontact 15 is, behalve met de aanvoerzone(s) ook verbonden met de diepe p-type zone 11 en verbindt daarmee de aanvoerzone met de aansluiting 12 aan de onderzijde van het substraat. Via deze aansluiting kan de aanvoerzone verbonden worden met uitwendige verbindingen. De afvoerelektrodestrips 16 vormen (Fig.1) met het basisdeel 17 een kamstructuur en kunnen via het gemeenschappelijke deel 17 verbonden worden met een aantal aanwezige bondpads 116 elders op het kristal.

In de inrichting is de poortelektrode 9 eveneens voorzien van een metalen contact dat zich in de vorm van een strook 118 tussen de metalen stroken 15 en 16 over de oxidelaag uitstrekt en plaatselijk via contactvensters in de oxidelaag met de poort 9 is verbonden. Het metaalspoor 118 is niet over zijn gehele lengte met de poort 9 verbonden maar slechts op een aantal, op afstand van elkaar gelegen plaatsen waar de poly poort 9 is voorzien van verbredingen geschikt voor aansluitingen 19, waarvan er in Fig. 2 slechts een - per poortelektrode 9 - is weergegeven. Wanneer de onderlinge afstanden tussen de aansluitingen 19 voldoende klein zijn, wordt de poortweerstand belangrijk verlaagd door de weerstand van de metaalsporen 118. Door de aanwezigheid van titaansilicide op de poortelektrode wordt eveneens de weerstand daarvan verlaagd. Door gebruik van een metaal met lage weerstand, bijvoorbeeld goud of aluminium, kan een zeer lage poortweerstand verkregen worden. Zoals in Fig.2 is weergegeven, heeft het in dit voorbeeld polysilicide-spoor van de poortelektrode een kamvorm die met de afvoerelektrode 16,17 een interdigitale structuur vormt. De basis van de kam van de poortelektrode metaal sporen 118 is een metaalstrook 40 die op regelmatige wijze voorzien is van bondpads 45 voor de poortelektrode 9. Naburige poortelektroden 9 zijn bijvoorbeeld op 3 plaatsen - in figuur 2 is daarvan slechts een plaats te zien - met elkaar verbonden ter plaatse van - niet in de figuur

weergegeven – verbredingen van de poortelektrode 9. Over het midden van deze verbindingen loopt dan een metaal spoor 118 dat met de basis 40 van het poortelektrode contact is verbonden. Ter plaatse van dit spoor 118 is de metaal strook 15 van het aanvoer gebied 4 onderbroken ter beperking van de capaciteit met het spoor 118.

5 Tussen de polysilicide sporen 18 van de poortelektrode 9 en de Au-sporen 16 van het afvoercontact zijn verdere metaalsporen 20 aangebracht. Deze zijn verbonden met een elektrode 31 van een condensator 30 en tevens met een aansluitbonds pad 35 waar een externe spanning tijdens bedrijf van de inrichting 10 wordt aangelegd. De (gedeeltelijk met elkaar verbonden) afschermssporen 20 zijn op regelmatige afstanden aan de condensator 30
10 gekoppeld en zijn gevormd in de onderste van twee metaallagen 20,18 die van elkaar gescheiden zijn door middel van een isolerende laag 77 van siliciumdioxide. Dankzij het gebruik van een twee metaallaags proces is het kruisen van de metaalsporen 20 met de poortelektrode 9,18 mogelijk. Dit maakt aansluiting van de metaalsporen 20 met een zo laag mogelijke weerstand mogelijk. Een andere elektrode van de condensator 30 wordt in dit
15 voorbeeld gevormd door het onder een dunne oxide laag 36 liggende deel van het halfgeleiderlichaam 1, hier een deel van de epitaxiale laag 3 en het substraat 2, en is dus met de aanvoer aansluiting 12 verbonden. De bovenste elektrode 31 is via metaalpluggen 34 en een daarin opgenomen extra metaallaag 37 verbonden met een polykristallijn siliciumgebied 99 liggend op de oxide laag 36 en met de verdere metalen strip 20. De grootte van de
20 capaciteit bedraagt in dit voorbeeld 100 pF.

 In de inrichting 10 van dit voorbeeld kan volgens de uitvinding dankzij het feit dat deze als het ware twee transistoren bevat, een van het verrijkingstype en een van het verarmingstype, compensatie van distorsie optreden bij het aanbieden van een externe spanning aan het aansluitgebied 35. Hierdoor bezit de inrichting een verbeterde lineariteit en
25 is bedrijf bij hogere vermogens mogelijk vergeleken met de bekende inrichting. Een geschikt gebleken externe spanning op de metaalsporen 20 is hier ongeveer + 25 V. Een en ander zal verderop geïllustreerd worden aan de hand van de bespreking van de figuren 6 t/m 8.

 In een bijzonder gunstige variant van de hier besproken inrichting 10 is (zie Fig. 5) bij de vorming van de condensator 30 gebruik gemaakt van het feit dat de inrichting is
30 gevormd met behulp van een twee metaallaags proces. De onderste elektrode 32 is gevormd in de eerste (onderste) metaallaag terwijl de bovenste elektrode 31 gevormd is in de tweede (bovenste) metaallaag. Daartussen bevindt zich een diëlektricum van bijvoorbeeld siliciumnitride met een dikte van 100 tot 500 nm. De onderste elektrode 32 is via metaal pluggen 34 in een isolerende laag verbonden met een silicide gebied 35 aan het oppervlak

van het halfgeleiderlichaam 1 dat op die plaats verder voorzien is van een hooggedoteerd (p-type) halfgeleidergebied 36. De belangrijkste voordelen van deze variant zijn dat een hogere capaciteitswaarde per eenheid van oppervlakte mogelijk is en dus dat de condensator 30 een kleiner oppervlak kan hebben. Verder is de capaciteit van de condensator 30 nagenoeg onafhankelijk van de spanning. Tot slot is een voordeel dat de condensator 30 gemakkelijk als serie condensator via de onderste elektrode 32 verbonden kan worden met een, bij voorkeur mee geïntegreerd, circuit dat bijvoorbeeld een vermogensafhankelijke spanning kan aanleggen op de metaalsporen 20. Hierdoor is een verdere verbetering en optimalisatie van de vervorming mogelijk en daarmee het gebruik bij nog hogere vermogens.

Fig. 6 toont de grootheid S21 als functie van het ingangsvermogen. Deze complexe grootheid S21 is ook bekend als de groot signaal transducer gain en karakteriseert de lineariteit van een inrichting, in casu de inrichting van Fig. 1. De groot signaal gain S21 is gedefinieerd als de verhouding van de voorwaartse golf aan de uitgang en de voorwaartse golf aan de ingang en kan weergegeven worden als $r \cdot e^{i\varphi}$. In de figuur geeft de bovenste groep curven 60 het genormaliseerde argument (ArgS21) van S21 weer en de onderste groep curven 61 de grootte (MagS21) van S21 weer als functie van het ingangsvermogen Pin. De drain-source spanning Vds bedraagt 26 V en de frequentie f is 2 GHz. De curven 61a t/m 61e en 60a t/m 60e geven het verloop weer voor een spanning op de verdere metaalsporen 20 die stapsgewijs (stapgrootte is 10 V) verloopt van +20 V naar -20 V. De grootte MagS21 hangt slechts in geringe mate af van de spanning op de metaalsporen 20. De grootheid ArgS21 toont echter een sterk verbeterd profiel (curve 60a) voor een spanning van +20 V op genoemde metaalsporen 20. De (fase) distorsie van een inrichting volgens de uitvinding is dus – tijdens bedrijf – belangrijk verbeterd ten opzichte van de bekende inrichting.

Fig. 7 toont een distorsie karakteriserende factor en de gain van de inrichting van Fig. 1 als functie van het gemiddelde vermogen. De bovenste groep curven 70 toont de gain Gp als functie van het gemiddelde vermogen Pav, de onderste groep curven 71 toont de intermodulatie distorsie IMD3, voor een twee-toons systeem met $f_1 = 2.000$ GHz, $f_2 = 2.001$ GHz. Vds bedraagt hier eveneens 26 V en de spanning op de poortelektrode 9 is 4.70 V. De curven 70a t/m 70j en 71a t/m 71j geven het verloop weer voor een spanning op de verdere metaalsporen 20 die stapsgewijs (stapgrootte is 5 V) verloopt van +25 V naar -25 V. De invloed van genoemde spanning op de gain Gp is gering. IMD3 is echter – bij hoge vermogens – belangrijk verbeterd indien genoemde spanning ca. +25 V bedraagt.

Fig. 8 toont twee distorsie factoren en de efficiency van de inrichting als functie van het gemiddelde vermogen. Het betreft hier een 2 carrier WCDMA (= Wideband

Code Division Multiple Acces) systeem. Curve 80a geeft de efficiency (Eff) weer voor een spanning op de metaalsporen 20 van + 25 V, waar die voor curve 80b 0 V bedraagt.

Genoemde spanning heeft dus nagenoeg geen invloed op de efficiency. Curve 81a en 81b geven de ACPR (= Adjacent Channel Power Ratio) weer voor een metaal strip 20 spanning van respectievelijk + 25 V en 0 V. Curven 82a en 82b geven de grootte IM3 weer voor overeenkomstige spanningen op de verdere metalen strip 20. Fig. 8 laat zien dat distorsie karakteriserende grootheden ACPR en IM3 ook voor een 2 carrier systeem belangrijk verbeteren bij hoge vermogens voor een spanning op de verdere metalen strip 20 van + 25 V. Deze figuur illustreert eveneens dat het zinvol kan zijn de genoemde spanning afhankelijk te maken van het vermogen. Zo kan genoemde spanning bij lagere vermogens lager zijn dan bij hogere vermogens. De verandering kan stapsgewijs of continu zijn en in beide gevallen opgelegd zijn door een aan de inrichting toegevoegde schakeling die daarmee bij voorkeur geïntegreerd is.

Het zal duidelijk zijn dat de uitvinding niet is beperkt tot het hier gegeven uitvoeringsvoorbeeld, maar dat binnen het kader van de uitvinding voor de vakman nog veel variaties mogelijk zijn. Zo kan de uitvinding ook met voordeel worden toegepast in p-kanaal MOS transistoren. Ook kan de uitvinding, behalve bij transistoren van het DMOS type, worden toegepast in MOS transistoren waarin het kanaal door een oppervlaktegebied van de epilaag 3, eventueel met extra V_t implantatie, wordt gevormd in plaats van een gediffundeerde zone. Ook is toepassing mogelijk in transistoren van het zogenaamde VDMOS type, waarbij de V staat voor verticaal, en waarbij het kanaal en de poortelektrode althans (grotendeels) nog evenwijdig aan het oppervlak van het halfgeleiderlichaam lopen en die in deze aanvraag onder de omschrijving "semi-lateraal" zijn begrepen. Hoewel toepassing in echt verticale MOS transistoren, waarbij het kanaal en de poortelektrode nagenoeg loodrecht op het oppervlak van het halfgeleiderlichaam lopen, bijvoorbeeld in/op de zijwand van een groef in het oppervlak, op zich zelf denkbaar is, is een dergelijke toepassing bij de huidige stand van de technologie praktisch niet goed uitvoerbaar.

Hoewel de inrichting volgens de uitvinding bij voorkeur een halfgeleiderlichaam van silicium bevat, kan de uitvinding ook zijn toegepast in inrichtingen van andere halfgeleidermaterialen zoals GaAs of andere zogenaamde III-V materialen.

Verder wordt opgemerkt dat hoewel in het gegeven voorbeeld slechts sprake is van een discreet halfgeleiderelement, de uitvinding ook geschikt is voor de vervaardiging van meer geïntegreerde halfgeleiderproducten die dan een groter aantal actieve halfgeleiderelementen kunnen bevatten.

Het wordt voorts opgemerkt dat de transistor in het bijzonder gunstige toepassing heeft in het gebied van ongeveer 0,5 to 5 GHz, in het bijzonder van 0,9 tot 2,4 GHz, in welk gebied zich de toonaangevende frequentiebanden voor mobiele communicatie bevinden, en geschikt is voor vermogensversterking bij lagere en ook bij hogere source-drain voltages, zoals bijvoorbeeld 20-30 V.

CONCLUSIES:

1. Halfgeleiderinrichting omvattende een halfgeleiderlichaam dat aan een oppervlak is voorzien van een veldeffecttransistor, waarbij het halfgeleiderlichaam hooggedoteerde aan- en afvoerzones bevat en een kanaalgebied dat zich tussen de afvoer- en de aanvoerzone uitstrekt, waarbij een poortelektrode aanwezig is, die bij loodrechte projectie op het kanaalgebied daarmee overlapt, waarbij de aanvoerzone, de afvoerzone en de poortelektrode aan het oppervlak verbonden zijn met resp. met een metalen aanvoercontact, een afvoercontact, en een poortelektrodecontact en waarbij een verdere metalen strip aanwezig is tussen het poortelektrodecontact en het afvoercontact, die elektrisch geïsoleerd is van het halfgeleiderlichaam en door middel van een elektrische verbinding plaatselijk met de aanvoerstrip is verbonden en die een afscherming tussen het poortelektrodecontact en het afvoercontact vormt, met het kenmerk, dat in de elektrische verbinding tussen de verdere metalen strip en het aanvoercontact een condensator is opgenomen en de verdere metalen strip voorzien is van een aansluitcontact voor het aanleggen van een externe spanning op de verdere metalen strip.

2. Halfgeleiderinrichting volgens conclusie 1, met het kenmerk, dat de condensator geïntegreerd is in het halfgeleiderlichaam en zich binnen het actieve gebied naast de transistor bevindt.

3. Halfgeleiderinrichting volgens conclusie 2, met het kenmerk dat het aanvoercontact, het afvoercontact, het poortelektrodecontact, de verdere metalen strip en het aansluitcontact daarvan en een elektrode van de condensator met behulp van twee afzonderlijke, boven elkaar liggende en door een verdere isolerende laag van elkaar gescheiden metaallagen zijn gevormd.

4. Halfgeleiderinrichting volgens conclusie 3, met het kenmerk, dat de andere elektrode van de condensator gevormd is door het halfgeleiderlichaam dat een hooggedoteerd substraat omvat waarop zich een lager gedoteerde epitaxiale laag bevindt.

5. Halfgeleiderinrichting volgens conclusie 3, met het kenmerk, dat beide elektroden van de condensator deel uitmaken van de metaallagen en de onderste elektrode van de condensator elektrisch verbonden is met het halfgeleiderlichaam dat op die plaats een hooggedoteerd halfgeleidergebied bevat.

5

6. Halfgeleiderinrichting volgens een der voorgaande conclusies, met het kenmerk, dat de grootte van de condensator ligt tussen 10 pF en 1 nF bij een bedrijfsfrequentie liggend tussen 100 MHz en 3 GHz.

10

7. Halfgeleiderinrichting volgens Conclusie 1, met het kenmerk dat de veldeffecttransistor een MOS transistor is, waarbij het halfgeleiderlichaam voorzien is van een aan het oppervlak grenzend, relatief zwak gedoteerd, gebied bevat van een eerste geleidingstype dat is voorzien van de hooggedoteerde aan- en afvoerzone, die gedoteerd zijn met het tegengestelde, tweede, geleidingstype en een laaggedoteerde afvoerextensie tussen de afvoerzone en het kanaalgebied, waarbij de poortelektrode elektrisch geïsoleerd is van het kanaalgebied en waarbij over het oppervlak een elektrisch isolerende laag is aangebracht die is voorzien van contactvensters boven de aanvoerzone, de afvoerzone en de poortelektrode, via welke contactvensters de aanvoerzone, de afvoerzone en de poortelektrode resp. zijn verbonden met de contacten.

15
20

8. Halfgeleiderinrichting volgens Conclusie 1 of 7, met het kenmerk dat de contacten de vorm hebben van naast elkaar gelegen evenwijdige metaalstrippen.

9. Halfgeleiderinrichting volgens een der voorgaande conclusies, met het kenmerk, dat zich tussen het stripvormige poortelektrodecontact en de verdere metalen strip een andere metalen strip bevindt die door een elektrisch isolerende laag van het halfgeleiderlichaam is gescheiden en die al dan niet voorzien is van een ander aansluitcontact voor het aanleggen van een andere externe spanning.

25

30

10. Werkwijze voor het bedrijven van een halfgeleiderinrichting volgens een der voorgaande conclusies, waarbij tijdens bedrijf van de inrichting aan het aansluitgebied van de verdere metalen strip een spanning wordt aangelegd.

11. Werkwijze volgens conclusie 10, met het kenmerk, dat de aangelegde spanning afhankelijk van het vermogensgebied waarin de inrichting opereert gekozen wordt.

ABSTRACT:

Semiconductor device and method of operating such a device.

The invention relates to in particular a lateral DMOST with a drain extension

8. In the known transistor a further metal strip 20 is positioned between the gate electrode contact strip and the drain contact 16 which is electrically connected with the source region
5 contact 15. In the device proposed here, the connection between the further metal strip 20 and the source contact 15,12 comprises a capacitor 30 and the further metal strip 20 is provided with a further contact region 35 for delivering a voltage to the further metal strip 20. In this way an improved linearity is possible and the usefulness of the device is improved in particular at high power and at high frequencies. Preferably the capacitor 30 is integrated
10 with the transistor in a single semiconductor body 1. The invention further comprises a method of operating a device 10 according to the invention.

Fig. 2

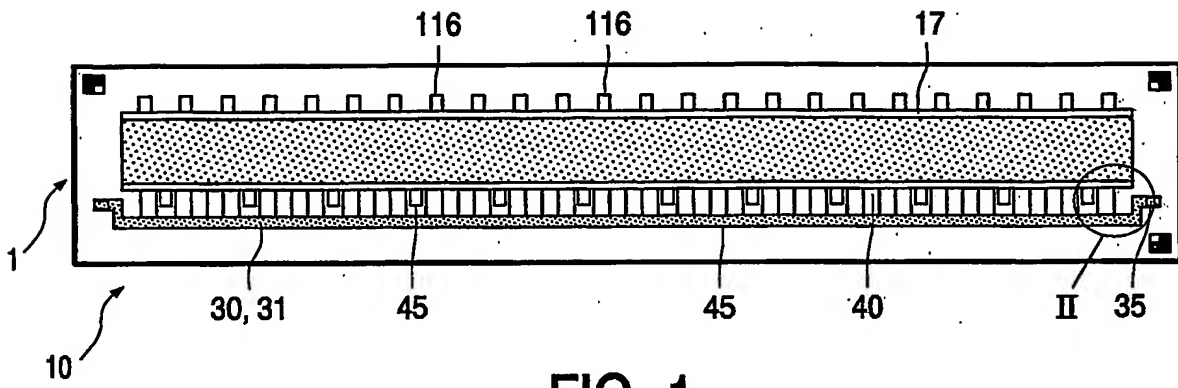


FIG. 1

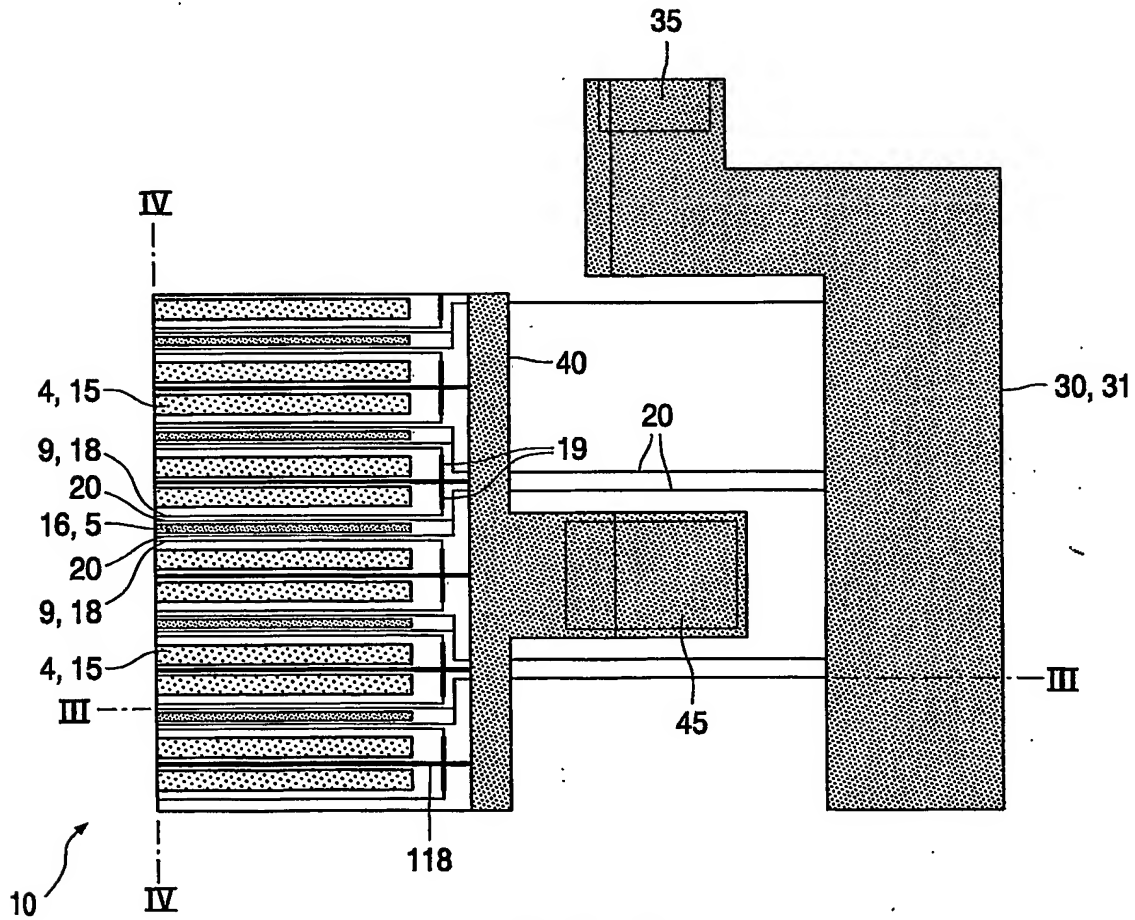
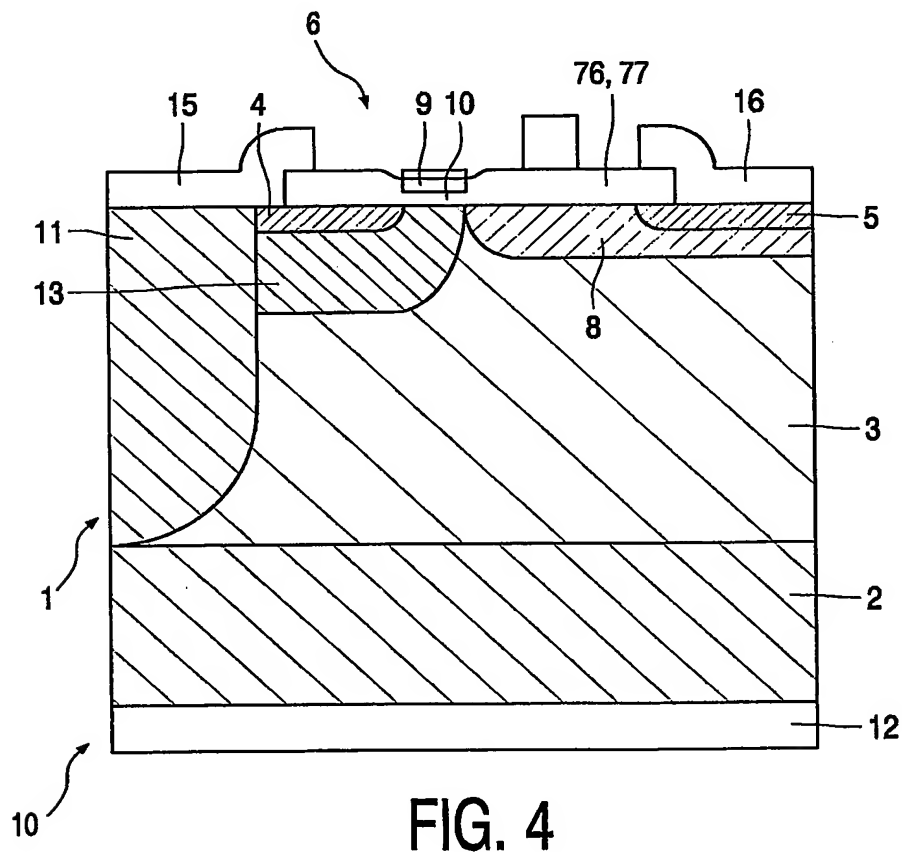
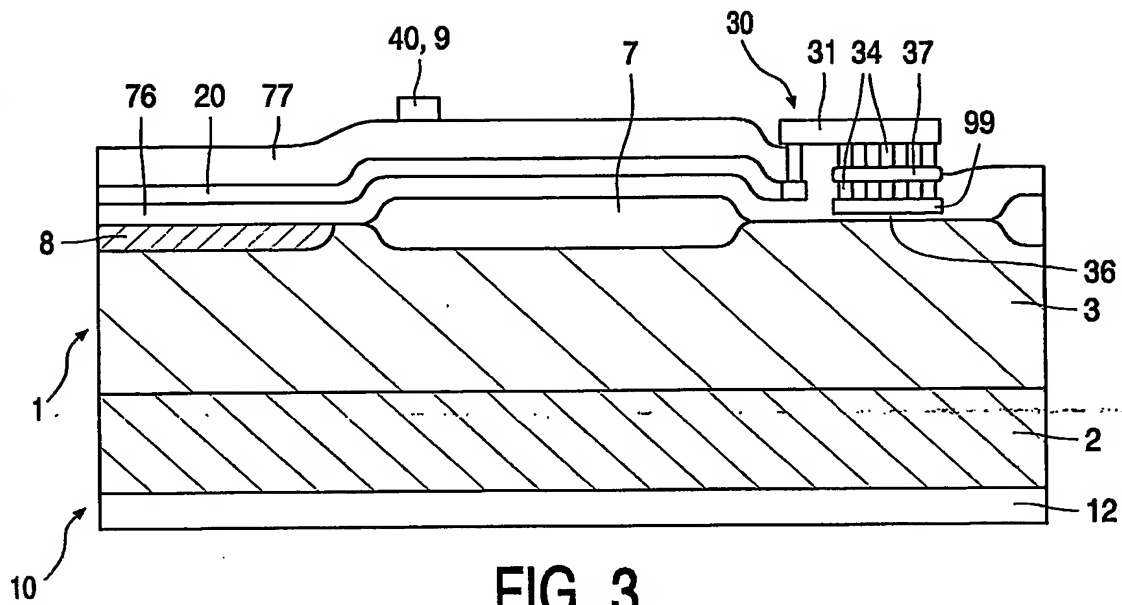


FIG. 2

2/5



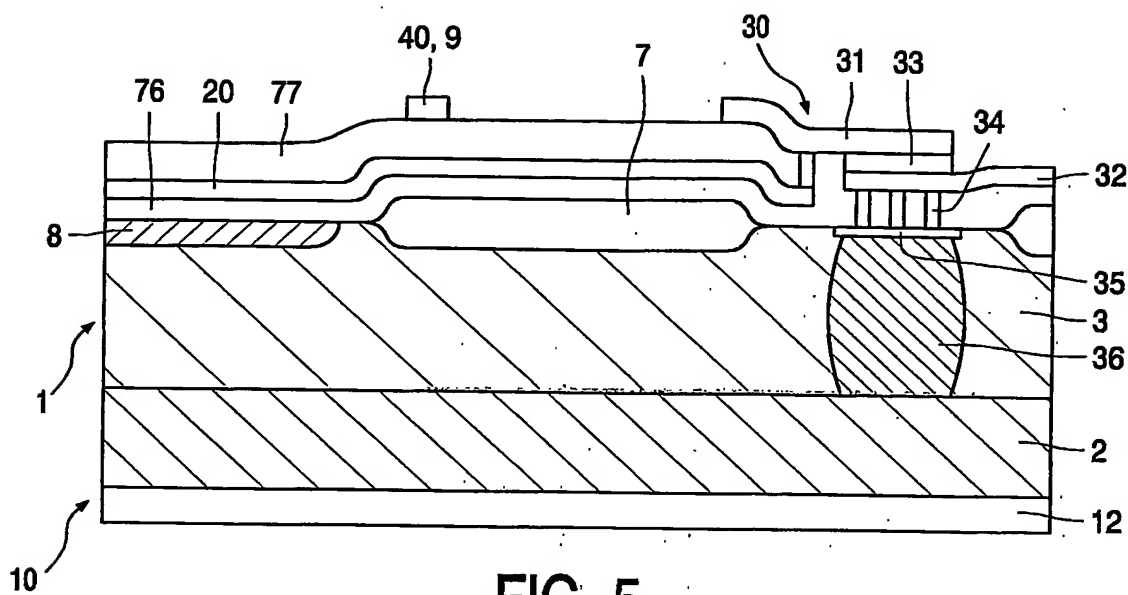


FIG. 5

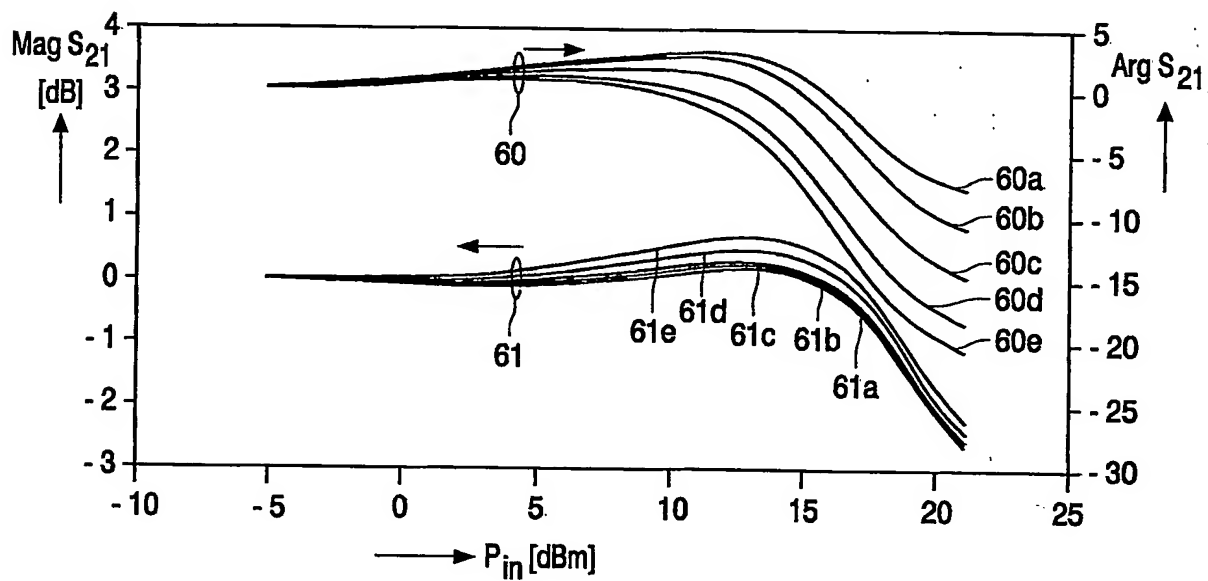


FIG. 6

4/5

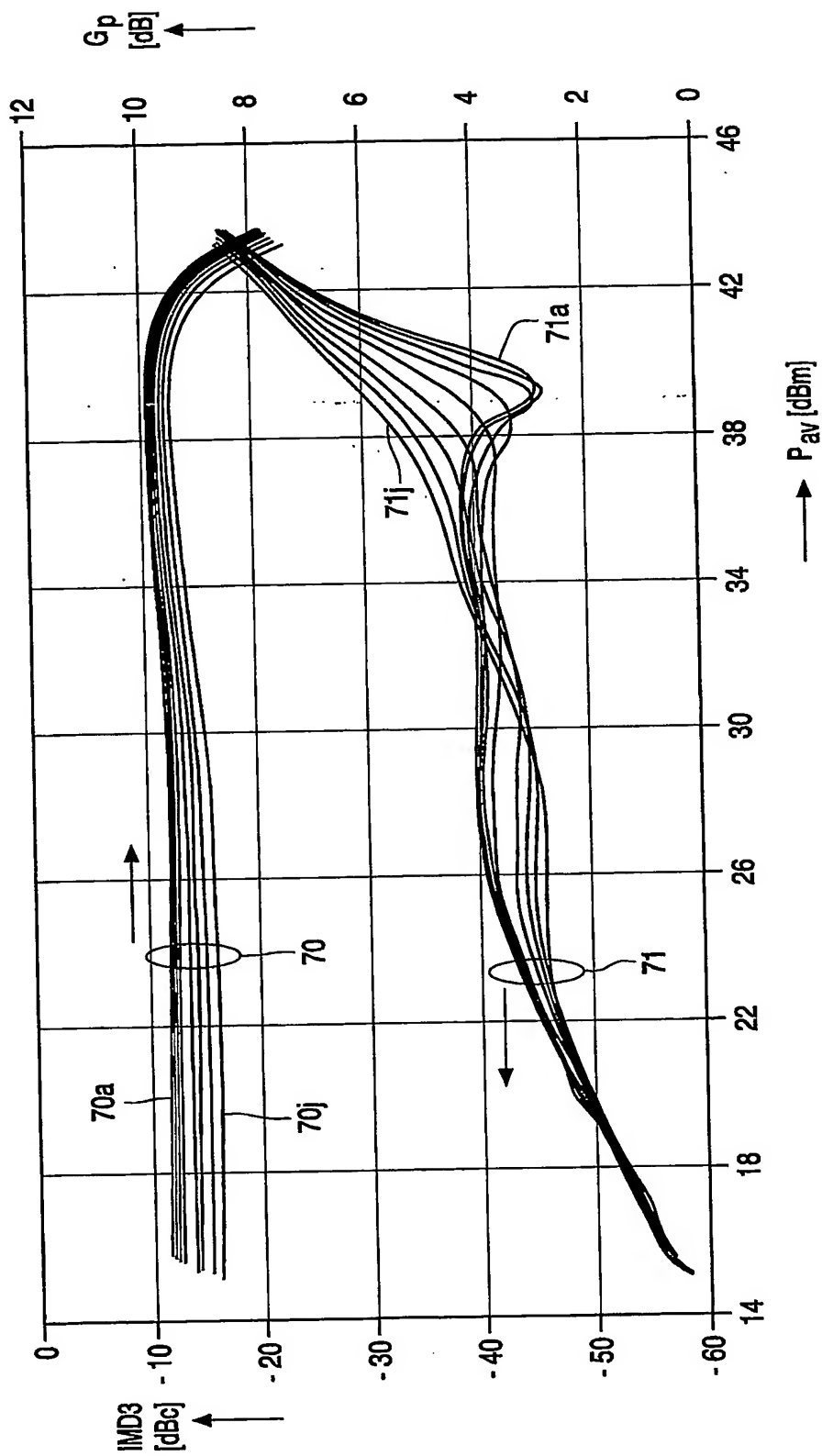


FIG. 7

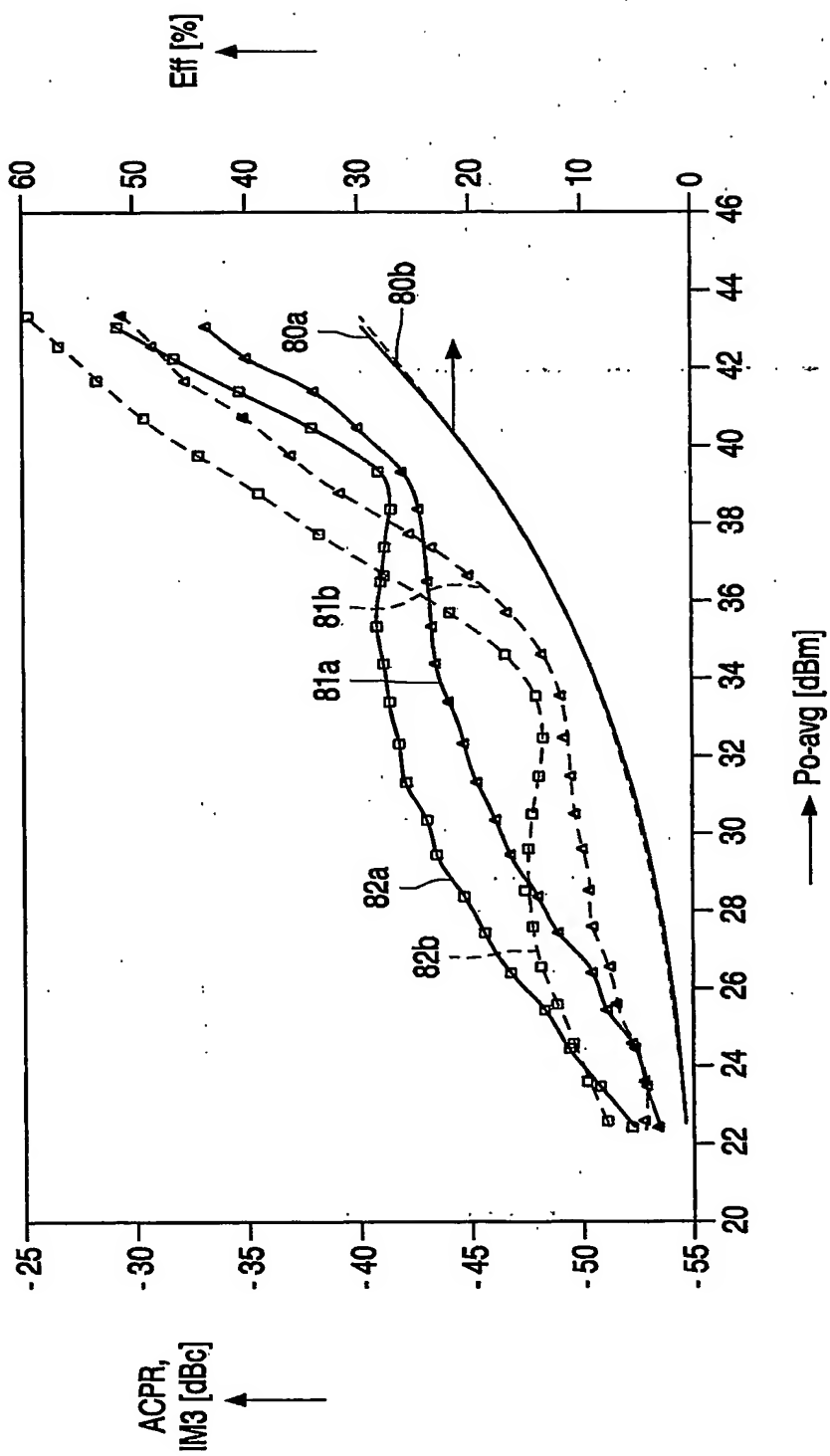
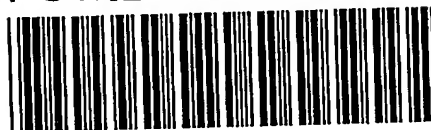


FIG. 8

PCT/IB2004/050474



This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**